

DE 19648492

Translation of the abstract:

Multi-Chip-Module

The invention relates to a multi-chip-module, comprising at least one internal printed circuit board (19) provided with semiconductor components (20, 21) at both sides. Thereby a higher package density is achieved for integrated circuits. The invention is applied for packages of semiconductor components.

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑪ **DE 3806951 A1**

⑤① Int. Cl. 4:
H01L 23/56
H 01 L 29/04
// H05K 7/14

②① Aktenzeichen: P 38 06 951.2
②② Anmeldetag: 3. 3. 88
②③ Offenlegungstag: 15. 9. 88

Behördeneigentum

DE 3806951 A1

③⑩ Unionspriorität: ③② ③③ ③①
03.03.87 IT 83609 /87

⑦① Anmelder:
SGS-Thomson Microelectronics S.p.A., Catania, IT

⑦④ Vertreter:
Bardehle, H., Dipl.-Ing.; Dost, W., Dipl.-Chem.
Dr.rer.nat.; Altenburg, U., Dipl.-Phys.; Hoffmann, W.,
Dipl.-Phys.; Wallinger, M., Dipl.-Ing. Dr.-Ing.,
Pat.-Anwälte; Pagenberg, J., Dr.jur.; Frohwitter, B.,
Dipl.-Ing., Rechtsanwälte; Geißler, B.,
Dipl.-Phys.Dr.-jur., Pat.- u. Rechtsanw.; Kroher, J.,
Dr.; Kowal-Wolk, T., Dr.-jur., Rechtsanwälte, 8000
München

⑦⑦ Erfinder:
Dallavalle, Carlo, Vimercate, IT

⑤④ Verhinderung von Latch-Up in einer mit zwei Versorgungen versehenen, integrierten CMOS-Schaltung mit Hilfe eines einzigen, integrierten MOS-Transistors

Ein Latch-Up in integrierten CMOS-Schaltungen mit zwei Versorgungen (+VCC und -VBB) wird mit Hilfe eines einzelnen, integrierten MOS-Schutztransistors, N-Kanal für P-Well CMOS oder P-Kanal für N-Well CMOS, verhindert, dessen Drain (Source) mit Masse verbunden ist und dessen Substratbereich, Gate und Source (Drain) mit -VBB (+VCC) verbunden sind. Die gewünschte Schwellenspannung und Abmessungen des Schutztransistors stellen bei der Realisierung keine besonderen Probleme dar.

DE 3806951 A1

Patentansprüche

1. Integrierte Schaltung, die CMOS-Strukturen vom Typ mit zwei Versorgungen (+ VCC und - VBB) aufweist, gekennzeichnet durch

- mindestens einen integrierten MOS-Transistor einer Polarität entgegengesetzt zu der Polarität eines Well-Gebiets dieser CMOS-Strukturen und mit einer Drain (Source), die mit Masse verbunden ist, und
- einen Substratbereichsanschluß, einen Gateanschluß und einen Source (Drain)-Anschluß dieses Transistors, die mit einem gemeinsamen Potentialknoten - VBB (+ VCC) dieser zwei Versorgungen verbunden sind.

2. Integrierte Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß die CMOS-Strukturen P-Well-Strukturen sind, daß der MOS-Transistor ein N-Kanal-Transistor ist, daß der Substratbereich, das Gate und die Source des Transistors mit dem Versorgungsknoten - VBB mit der negativen Spannung verbunden sind, und daß die Drain des Transistors mit Masse verbunden ist.

3. Integrierte Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß die CMOS-Strukturen N-Well-Strukturen sind, daß der MOS-Transistor ein P-Kanal-Transistor ist, daß der Substratbereich, das Gate und die Drain des Transistors mit dem Versorgungsknoten + VCC mit der positiven Spannung verbunden sind, und daß die Source des Transistors mit Masse verbunden ist.

4. Integrierte Schaltung nach Anspruch 2, dadurch gekennzeichnet, daß der MOS-Transistor eine Länge, die mindestens gleich zweimal der Minimallänge des besonderen zur Herstellung der integrierten Schaltung eingesetzten Herstellungsprozesses ist, und eine Weite zwischen 3000 und 5000 Micrometer hat.

5. Integrierte Schaltung nach Anspruch 3, dadurch gekennzeichnet, daß der MOS-Transistor eine Länge, die mindestens gleich zweimal der Minimallänge des Herstellungsprozesses ist, und eine Weite zwischen 10 000 und 15 000 Micrometer hat.

Beschreibung

Die vorliegende Erfindung betrifft monolithisch integrierte Halbleiterschaltungen und insbesondere integrierte Schaltungen vom komplementären Typ mit MISFET-Strukturen oder üblicherweise P-Kanal und N-Kanal MOSFET-Strukturen, genannt CMOS-Strukturen.

Der wirtschaftliche Einsatz von integrierten CMOS-Schaltungen hat sich allmählich gefestigt, und ist für fast jede Art von Microelektronikanwendung interessant. Heute wird diese Technologie in mindestens drei Viertel der hergestellten nicht-bipolaren integrierten Einrichtungen wirtschaftlich eingesetzt. Einer der empfindlichsten Aspekte der CMOS-Technologie ist immer das unvermeidbare Auftreten von parasitären, bipolaren Strukturen, die unter bestimmten Bedingungen zu einem SCR verbunden werden können, der ein Rückkopplungsphänomen, bekannt als "Latch-Up", hervorruft, das oft eine zerstörende Wirkung hat. Der "Latch-Up" ist jahrelang einer der Hauptfaktoren zur Verzögerung der wirtschaftlichen Anwendung der CMOS-Technologie

gewesen, wobei die Konkurrenztechnologien, nämlich die Bipolare und Einzelkanal-CMOS-Technologie, frei von diesem Phänomen sind. Viele vorbeugende, vermindernde und/oder schützende Techniken gegen Latch-Up sind entwickelt worden und heute ist der Latch-Up in integrierten CMOS-Schaltungen mit einer einzigen Versorgung praktisch eliminiert worden, die fast den größten Anteil an hergestellten digitalen, integrierten Schaltungen ausmachen. Auf der anderen Seite werden CMOS-Schaltungen heutzutage weit verbreitet in integrierten Schaltungen eingesetzt, die gemischte Funktionen (Analog-Digital) ausführen, in denen sie praktisch Einzelkanal-MOS-Schaltungen ersetzt haben.

Auf diesem Anwendungsgebiet gibt es schon immer zwei Versorgungen: Eine positive (VCC = +5 V) und eine negative (VBB = -5 V) in bezug auf Masse (GND = 0 V). Zudem ist auf diesem Anwendungsgebiet eine gute Entkopplung sowohl zwischen digitalen und analogen Teilen der integrierten Schaltung als auch zwischen unterschiedlichen Schaltungsabschnitten, die innerhalb der integrierten Einrichtungen (z. B. Übertragungs- und Empfangsschaltungsabschnitte) wirken, obligatorisch. Daraus folgt, daß in A/D- und D/A-Wandlern und im allgemeinen für Analog/Digital integrierte Schaltungen mit Hilfe von Kondensatoren die Versorgungen "sauber" gehalten werden, die zwischen einer Versorgung und der anderen und zwischen jeder Versorgung und Masse verbunden sind. Diese Kondensatoren haben notwendigerweise relativ hohe Kapazitätswerte (bis zu 100 Microfarad) und können deshalb, wenn einmal aufgeladen, hohe bzw. starke Stromspitzen hervorrufen, d. h. sie sind im Stande hohe Ströme sogar für extrem beschränkte Zeitabschnitte zu liefern.

Solch eine typische Schaltungsanordnung wird in Fig. 1 gezeigt.

Es ist leicht zu verstehen, daß mit einer zunehmenden Anzahl von Versorgungen das Problem der Latch-Up-Verhinderung schwieriger wird. Die Wahrscheinlichkeit nimmt zu, daß, als eine Auswirkung einer bestimmten Anwendungsfolge der Versorgungsspannungen, einer der Pole der integrierten Schaltung in einer relativ falschen Art gepolt wird, womit ein direktes Vorspannen der inneren Übergänge der integrierten Einrichtung (Verbindung die einen Latch-Up bewirken kann) hervorgerufen wird.

Zum Beispiel, wenn die integrierte Einrichtung ein P-Well-CMOS ist und wenn die -5 V-Versorgungsspannung angelegt wird mit einer gewissen Verzögerung gegenüber der +5 V-Versorgungsspannung, macht sich ein kurzzeitiger "schwimmender" (Floating)-Zustand des Pols der negativen Versorgung der integrierten Schaltung als eine positive Vorspannung des VBB-Anschlusses (Pols) hervorgerufen durch eine kapazitive Teilung der VCC-Spannung (gleich +5 V) bemerkbar, entsprechend der Gleichung:

$$VBB = VCC \cdot \frac{C0}{C0 + C2}$$

Deshalb ist für $C2 = C0$ dann $VBB = +2.5 V$ für den ganzen Zeitabschnitt, während dem der VBB-Versorgung zugeordnete Pol der integrierten Schaltung nicht an die richtige Versorgungsspannung von -5 V angelegt ist.

Auch der zweckdienliche Gebrauch eines Kondensators $C0$, der viel größer ist als der Kondensator $C2$, ist nicht immer anwendbar. Es ist auch leicht zu verstehen, daß für den Hersteller integrierter Schaltungen es

Up-Phänomens dadurch angegeben, daß der Versorgungsanschluß V_{CC} schwimmt (Zustand 1), anstatt wie normal auf +5 V (Zustand 2) gepolt zu sein.

In der folgenden Beschreibung, die für den Fall einer integrierten P-Well-CMOS-Schaltung entworfen wurde, wird, wo immer es möglich oder nützlich ist, der im Falle einer N-Well-CMOS-Einrichtung geltende Zustand angedeutet, wobei dieser letztgenannte Zustand in Klammern angegeben wird.

Wenn aus irgendeinem zufälligen Grund der Zustand 1 stattfindet, also wenn der Anschluß oder der der V_{BB} -Versorgung zugeordnete Potentialknoten auf einem schwimmenden Potential (V_{CC} schwimmend) ist und sobald das Potential am Knoten V_{BB} (V_{CC}) ein positives (negatives) Potential gegenüber der Masse annimmt, wird der integrierte N-Kanal-(P-Kanal)-Schutztransistor den folgenden Zuständen unterliegen:

$V_{GS} = V_{th\phi_{Pch}}$ mit $V_{GS} = V_{BB}$ schwimmend
 ($V_{GS} = V_{th\phi_{Nch}}$ mit $V_{GS} = V_{CC}$ schwimmend)

und er wird einschalten, wobei das Potential des Knotens V_{BB} (V_{CC}) auf die zugeordnete Schwellenspannung $V_{th\phi_N}$ ($V_{th\phi_P}$) abfällt.

Auf diese Weise ist es durch eine passende Dimensionierung des Werts der extrapolierten Schwellenspannung des Schutztransistors der Erfindung möglich, eine direkte Vorspannung des betrachteten internen Übergangs der integrierten Schaltung zu verhindern.

In dem Zustand 2, der vorliegt, wenn die Versorgungsspannung V_{BB} (V_{CC}) die richtige Polung hat, wird der integrierte Schutztransistor eine Gatespannung unterhalb seiner Schwellenspannung haben:

$V_{GS} = 0 \text{ V}$ mit $V_{th\phi_N}$ 0 V
 ($V_{GS} = 0 \text{ V}$ mit $V_{th\phi_P}$ 0 V)

Deshalb wird unter dem Zustand 2, d. h. bei normalem Betrieb der integrierten Schaltung, $V_{BB} = -5 \text{ V}$ ($V_{CC} = +5 \text{ V}$) sein und der integrierte MOS-Schutztransistor mit vier Anschlüssen wird gesperrt sein. Um diesen Zustand sicherzustellen, ist es notwendig, den Schutztransistor den typischen Wert der extrapolierten Schwellenspannung aufzuerlegen:

$V_{th\phi_N} = +0,45 \text{ V}$
 ($V_{th\phi_P} = -0,45 \text{ V}$)

Mit solch einem Wert der extrapolierten Schwelle von ungefähr 0,45 V wird sich tatsächlich bei dem Zustand 1 das positive V_{BB} -Potential (negative V_{CC} -Potential) über den leitenden MOS-Schutztransistor entladen, bis die Spannung auf ungefähr 0,45 V ($-0,45 \text{ V}$) abfällt, wenn die folgende Bedingung eingehalten wird:

$V_{GS} = V_{th\phi_N}$
 ($V_{GS} = V_{th\phi_P}$)

und der MOS-Schutztransistor wird leitend bleiben aber unfähig sein, das Potential des V_{BB} (V_{CC}) Knotens weiter zu entladen. Jedoch reicht dies aus, um ein direktes Vorspannen des Übergangs zu verhindern, für das ein Potential von ungefähr 0,6 bis 0,7 V ($-0,6$ bis $-0,7 \text{ V}$) erforderlich ist.

Es wird notwendig sein, daß die $N^+-(P^+)$ -Source-Diffusion, die mit der Masse des integrierten Schutztransistors der Erfindung verbunden ist, mit geeigneten

Schutzringen gegen Latch-Up versehen wird, weil der zugeordnete Übergang beim Zustand 1 direkt vorgespannt werden wird. Jedoch ist das eine Anti-Latch-Up-Anordnung die von diesem einzelnen Transistor für die gesamte integrierte Schaltung erforderlich ist.

Weil die absoluten Werte und die Änderungsbereiche sowohl für integrierte P-Well-Einrichtungen als auch für integrierte N-Well-Einrichtungen identisch sind, wird aus Gründen der Einfachheit in der folgenden Erläuterung anstatt des Gebrauchs der doppelten (geklammernten) Schreibweise, wie in der vorhergehenden Beschreibung, eine Betragsschreibweise eingesetzt werden.

Eine akzeptable Zuverlässigkeit der Schutzeinrichtung als Gegenstand der vorliegenden Erfindung wird durch ein Schwellenpotential des Schutztransistors sichergestellt

$$|V_{th\phi}| = \pm 100 \text{ mV}$$

In solch einem Fall sind die Extremwerte des Variationsbereichs:

$$\begin{array}{ccc} |0,35 \text{ V}| & |0,45 \text{ V}| & |0,55 \text{ V}| \\ \text{min} & \text{typical} & \text{max} \end{array}$$

Die Temperaturabhängigkeit des Betrags $V_{th\phi}$ der Schwellenspannung wird untenstehend erläutert.

Für einen MOS-Transistor sind die typischen Werte von

$$d|V_{th\phi}|/dt:$$

$$\frac{d|V_{th\phi}|}{dt} = \frac{2,5 \text{ mV}}{^{\circ}\text{C}}$$

Es ist bekannt, daß solch ein Wert weiterhin vermindert wird, wenn die Schwelle des Bauteils so erreicht wird, wie es vorzugsweise durch eine Erhöhung der Ladung mit Hilfe von Ionen-Implantation der Fall ist. Jedoch, vorsichtshalber, erweitert sich der Variationsbereich durch das Anwenden des Temperaturkoeffizienten von $2,5 \text{ mV}/^{\circ}\text{C}$ auf den Variationsbereich der Schwellenspannung $V_{th\phi}$ für Temperaturwerte zwischen -40°C und $+100^{\circ}\text{C}$ wie folgt:

$$\frac{|160 \text{ mV}|}{\text{min}(T = 100^{\circ}\text{C})} < |V_{th\phi}| < \frac{|710 \text{ mV}|}{\text{max}(T = -40^{\circ}\text{C})}$$

Der untere Extremwert $|0,16 \text{ V}|$ des Änderungsbereichs der Schwellenspannung ist noch ausreichend hoch, um den Abschneid- bzw. Abschaltzustand (cut-off) des MOS-Schutztransistors auch bei hohen Temperaturen, wenn die integrierte Schaltung normal arbeitet ($V_{BB} = -5 \text{ V}$, $V_{CC} = +5 \text{ V}$), sicherzustellen. Wenn diese Bedingungen nicht eingehalten werden, entsteht ein ständiger Stromweg von den gemeinsamen Potentialknoten V_{BB} und Masse (oder V_{CC} und Masse für den Fall einer N-Well-Einrichtung), der die Niedrig-Verbrauchs-Charakteristiken der integrierten Schaltung besonders während Wartezuständen oder leistungsabgesenkten Zuständen herunderdrückt.

Der obere Extremwert des Variationsbereichs der Schwellenspannung wird wichtig, wenn der Schutztransistor leitet und eine direkte Vorspannung des internen Übergangs der integrierten Schaltung verhindert werden muß. Der Extremwert von $|0,710 \text{ V}|$ sollte nicht beunruhigen, weil auch die V_{BE} -Spannung mit dem Abfall der Temperatur ähnlich erhöht wird, sogar wenn:

$|V_{BE}| < |0,710 \text{ V}|$

Man sollte sich merken, daß bei niedrigen Temperaturen, der Strom, der in einen direkt vorgespannten Übergang injiziert werden muß, um Latch-Up auszulösen, stark erhöht ist, wegen der Verminderung (mit der niedrigen Temperatur) der Stromverstärkung (β) des parasitären bipolaren Transistors.

Gemäß einer besonders bevorzugten Ausführungsform der Erfindung sollte die Länge (L) des integrierten MOS-Transistors mindestens zweimal so lang wie die Minimallänge des bestimmten CMOS-Herstellungsprozesses sein, der zur Herstellung der integrierten Schaltung mit dem Ziel verwendet wird, die "Unter der Schwelle liegenden"-Ströme zu reduzieren, wenn der MOS-Schutztransistor ein Abschalten bei einer Temperatur nahe des betrachteten Maximums bewirkt.

Die Weite (W) des integrierten Schutztransistors, der kompatibel mit den Charakteristiken des verwendeten Herstellungsprozesses ist, sollte in bevorzugter Weise relativ groß sein, um den Serienwiderstand (R_{on}) des Schutztransistors so klein wie möglich zu machen, und sie sollte in jedem Fall ausreichen, zu erlauben, daß ziemlich große Ströme ohne eine übermäßig anzeigende Erhöhung der Drain-Source-Spannung auf Masse fließen können. Die W -Abmessung des integrierten Schutztransistors sollte sein:

$WN = 3000 - 5000$ Micrometer im Fall einer P-Well-CMOS-Einrichtung, wohingegen im Fall einer N-Well-CMOS-Einrichtung $WP = 10\,000 - 15\,000$ Micrometer ist.

Diese relativ großen Abmessungen des integrierten Schutztransistors sind mit Hinsicht auf die Gesamtwirtschaftlichkeit der hergestellten integrierten Schaltung nicht besonders von Nachteil, da nur ein einziger Schutztransistor für die gesamte integrierte Schaltung notwendig ist.

Die integrierte CMOS-Schaltung mit zwei Versorgungen, die mit der Schutzeinrichtung der vorliegenden Erfindung versehen ist, bietet bemerkenswerte Vorteile gegenüber den bekannten Lösungen des Latch-Up-Kontrollproblems in dieser Familie von integrierten Schaltungen. Mit Hilfe eines einzigen, zusätzlichen integrierten MOS-Schutztransistors werden Latch-Up-Probleme wirksam in einem Chip verhindert, unabhängig davon, was außerhalb der integrierten Schaltung stattfindet.

Konstruktionseinschränkungen von Karten mit diesen integrierten Schaltungen und Bypass-Kondensatoren sind vorteilhafterweise abgeschafft. Weiterhin ist die Notwendigkeit des Einsatzes von zusätzlichen externen Bauelementen, wie Schottky-Dioden abgeschafft, die die Zuverlässigkeit der Karte selbst vermindern. Außerdem wird mit steigendem Einsatz von integrierten P-Well- und N-Well-CMOS-Einrichtungen in dem gleichen System die Unterbringung beider Arten von Einrichtungen auf der gleichen Systemkarte leicht möglich sein, ohne daß besondere Probleme bezüglich des Sicherstellens einer korrekten Einschub-Herausziehfolge der Kontakte der Versorgungsbahnen beim Kartenaustausch auftreten.

3806951

Int. Cl.4:

Anmeldetag:

Offenlegungstag:

H 01 L 23/56

3. März 1988

15. September 1988

(schwimmend)

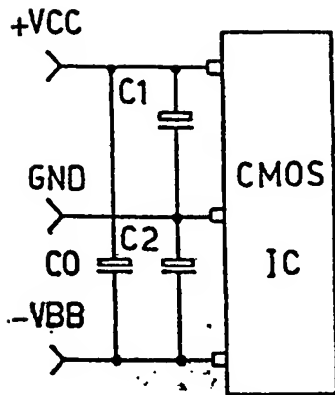


FIG. 1

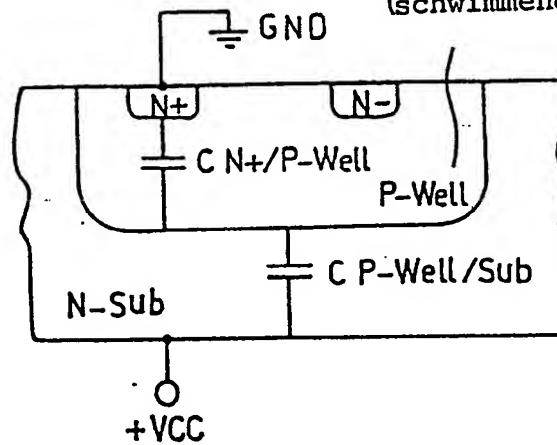


FIG. 2

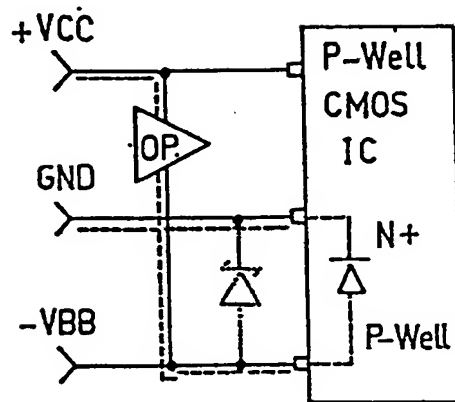


FIG. 3

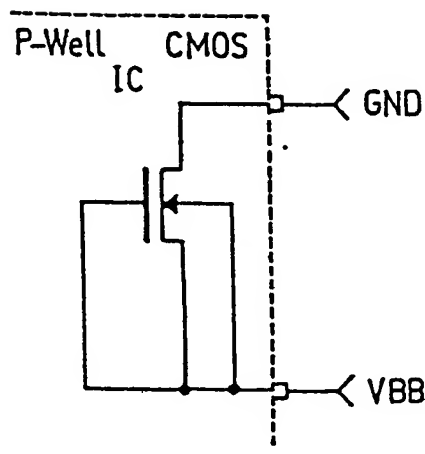


FIG. 4

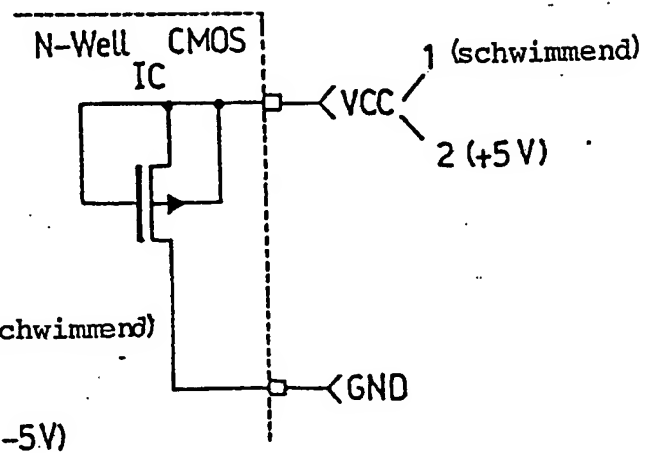


FIG. 5